



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000123595 A**

(43) Date of publication of application: **28.04.00**

(51) Int. Cl

G11C 29/00
G01R 31/28

(21) Application number: **11229239**

(22) Date of filing: 13.08.99

(30) Priority: 14.08.98 JP 10229732

(71) Applicant: **ADVANTEST CORP**

(72) Inventor: **YASUI TAKAHIRO**

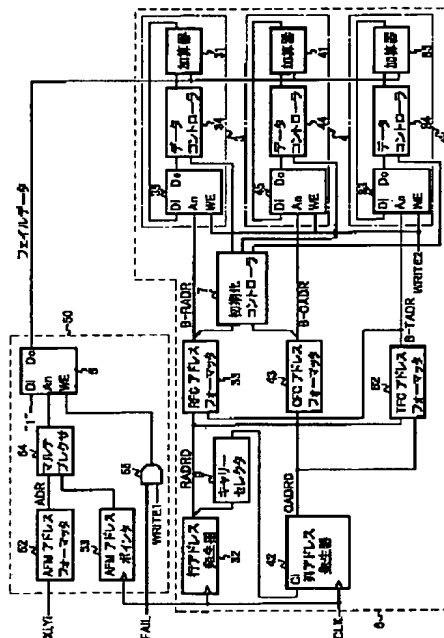
(54) MEMORY TEST DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a memory test device provided with a defect relieving analyzer requiring no initialization of a memory in which a count value of this fail data is stored prior to counting fail data.

SOLUTION: An output change circuit is constituted of an initialization controller 7 outputting an initialization signal based on a row counter address signal outputted from a RFC address formatter 33 and a column counter address outputted from a CFC address formatter 43, and data controllers 34, 44, 84 to which initializing signals outputted from the initializing controller 7 are applied respectively. And values of data read out from each address of a row fail storing memory 35, a column fail storing memory 45, and a fail total storing memory 83 are outputted as '0' only at the time of initial read-out.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-123595

(P2000-123595A)

(43) 公開日 平成12年4月28日 (2000.4.28)

(51) Int.Cl.⁷

G 1 1 C 29/00

G 0 1 R 31/28

識別記号

6 5 5

F I

G 1 1 C 29/00

G 0 1 R 31/28

テーマコード(参考)

6 5 5 Z

B

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願平11-229239

(22) 出願日 平成11年8月13日 (1999.8.13)

(31) 優先権主張番号 特願平10-229732

(32) 優先日 平成10年8月14日 (1998.8.14)

(33) 優先権主張国 日本 (J P)

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 安井 孝裕

東京都練馬区旭町1丁目32番1号 株式会

社アドバンテスト内

(74) 代理人 100066153

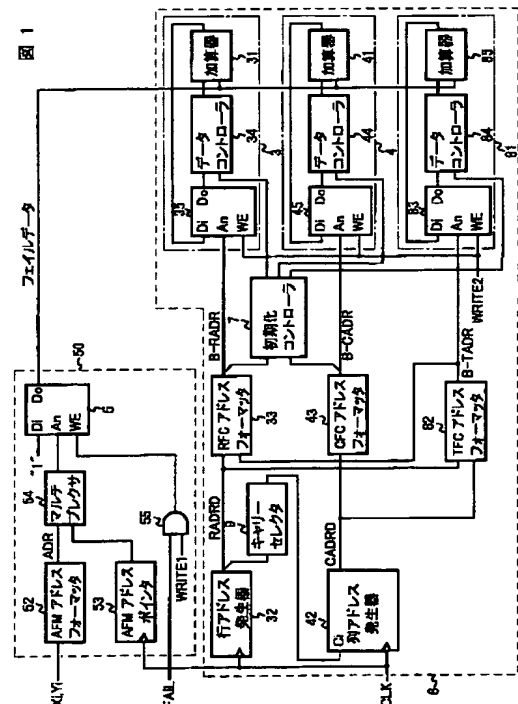
弁理士 草野 卓 (外1名)

(54) 【発明の名称】 メモリ試験装置

(57) 【要約】

【課題】 フェイルデータの計数に先だてこのフェイルデータの計数値を格納するメモリの初期化を必要としない不良救済解析器を備えたメモリ試験装置を提供する。

【解決手段】 RFCアドレスフォーマッタ33から出力される行カウンタアドレス信号とCFCアドレスフォーマッタ43から出力される列カウンタアドレス信号とに基づいて初期化信号を出力する初期化コントローラ7と、この初期化コントローラ7から出力される初期化信号がそれぞれ印加されるデータコントローラ34、44、84とによって出力変更回路を構成し、この出力変更回路によって行フェイル格納メモリ35、列フェイル格納メモリ45及びフェイル総数格納メモリ83の各アドレスからそれぞれ読み出されるデータの値を、初回読み出し時のみ0として出力する。



【特許請求の範囲】

【請求項 1】 被試験メモリの不良メモリセルを表すフェイルデータを格納する不良解析メモリと、この不良解析メモリに格納されたフェイルデータに基づいて試験済みメモリの不良救済解析を行う不良救済解析器とを具備するメモリ試験装置において、

上記不良救済解析器が、上記不良解析メモリから読み出されたフェイルデータ数を格納するフェイル格納メモリと、このフェイル格納メモリの各アドレスから 1 回目に読み出された読み出しデータの値を 0 として出力する出力変更回路とを具備することを特徴とするメモリ試験装置。

【請求項 2】 上記出力変更回路は、上記フェイル格納メモリの各アドレスから 1 回目にデータが読み出される時に初期化信号を発生する初期化コントローラと、この初期化コントローラから初期化信号が到来しない場合には上記フェイル格納メモリの出力をそのまま出力すると共に、初期化信号が到来した場合には 0 を出力するデータコントローラとによって構成されていることを特徴とする請求項 1 に記載のメモリ試験装置。

【請求項 3】 上記不良解析メモリから読み出されたフェイルデータの数を格納するフェイル格納メモリは、上記不良解析メモリの行アドレスライン毎のフェイルデータ数を計数する行アドレス・フェイルカウンタに設けられた行フェイル格納メモリと、列アドレスライン毎のフェイルデータ数を計数する列アドレス・フェイルカウンタに設けられた列フェイル格納メモリと、フェイルデータの総数を計数する総数フェイルカウンタに設けられたフェイル総数格納メモリであることを特徴とする請求項 1 に記載のメモリ試験装置。

【請求項 4】 上記出力変更回路は、上記行フェイル格納メモリをアクセスする行カウンタアドレス信号が 0 であるときには上記列アドレス・フェイルカウンタに初期化信号を印加し、上記列フェイル格納メモリをアクセスする列カウンタアドレス信号が 0 であるときには上記行アドレス・フェイルカウンタに初期化信号を印加し、上記行カウンタアドレス信号及び上記列カウンタアドレス信号が共に 0 であるときには上記総数フェイルカウンタに初期化信号を印加する初期化コントローラと、上記各フェイルカウンタにそれぞれ設けられ、上記初期化コントローラから初期化信号が印加されない場合には上記フェイル格納メモリから読み出された出力をそのまま出力すると共に、初期化信号が印加された場合には 0 を出力するデータコントローラとによって構成されていることを特徴とする請求項 3 に記載のメモリ試験装置。

【請求項 5】 上記不良救済解析器は、入力される行アドレスデータ及び列アドレスデータに基づいて上記総数フェイルカウンタのフェイル総数格納メモリをアクセスする総数カウンタアドレス信号をフォーマットして出力する T F C アドレスフォーマッタと、

入力される行アドレスデータ及び上記総数カウンタアドレス信号に基づいて上記行アドレス・フェイルカウンタの行フェイル格納メモリをアクセスする行カウンタアドレス信号をフォーマットして出力する R F C アドレスフォーマッタと、

入力される列アドレスデータ及び上記総数カウンタアドレス信号に基づいて上記列アドレス・フェイルカウンタの列フェイル格納メモリをアクセスする列カウンタアドレス信号をフォーマットして出力する C F C アドレスフォーマッタとをさらに含み、

上記初期化コントローラは、上記 R F C アドレスフォーマッタから供給される行カウンタアドレス信号及び上記 C F C アドレスフォーマッタから供給される列カウンタアドレス信号に基づいて上記初期化信号を生成し、上記行アドレス・フェイルカウンタ、上記列アドレス・フェイルカウンタ及び上記総数フェイルカウンタはそれぞれ、上記データコントローラの出力に上記不良解析メモリの出力を加算し、その加算結果を上記行フェイル格納メモリ、上記列フェイル格納メモリ及び上記フェイル総数格納メモリに供給する加算器をそれぞれ含んでいることを特徴とする請求項 4 に記載のメモリ試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えば半導体集積回路（以後、I C と称す）によって構成されるメモリ（以後、I C メモリと称す）を始めとする各種の半導体メモリを試験するためのメモリ試験装置に関し、詳しく言うと、試験した半導体メモリの不良メモリセルの数を計数し、この半導体メモリの救済が可能か否かを判定する不良救済解析器を備えたメモリ試験装置の改良に関するものである。

【0002】

【従来の技術】 近年、I C メモリの記憶容量の増大に伴い、I C チップ面積の増加及びパターンの高密度化などが必要となり、微小欠陥に起因する I C メモリの歩留まりの低下が起こることが多くなっている。この歩留まりの低下を防止するために、例えば、不良メモリセルを予備のメモリセル（スペアライン（spare line）、救済ライン（relief line）、或いは冗長回路（redundancy circuit）とも呼ばれる）と電気的に置き換えることができる I C メモリが製造されている。後述するように、この種の I C メモリはこの技術分野ではリダンダンシ（redundancy）構成のメモリと呼ばれており、このリダンダンシ構成のメモリの救済が可能か否かの判定は不良救済解析器によって行われる。

【0003】 図 2 に従来の不良救済解析器を備えたメモリ試験装置の一例の概略の構成をブロック図で示す。周知のように、このメモリ試験装置は、タイミング発生器 10 と、パターン発生器 20 と、波形整形器 30 と、論理比較器 40 と、不良解析メモリ 50 と、不良救済解析

器 6 とによって構成されている。なお、以下においては IC メモリを試験する場合について説明するが、IC メモリ以外の他の種々の半導体メモリを試験する場合にも同様にして試験が行われる。

【0004】タイミング発生器 10 はこのメモリ試験装置全体の基準となるクロック CLK や各種のタイミング信号（図示せず）を発生する。このタイミング発生器 10 から供給される基準クロック CLK に基づいて（同期して）、パターン発生器 20 は被試験 IC メモリ（以下、単に被試験メモリと称す）MUT に与えるアドレスデータ ADDR、試験パターンデータ PTND 及び制御データ CNTLD を発生する。これらデータ信号は波形整形器 30 に入力され、ここでタイミング発生器 10 から与えられるタイミング信号（図示せず）により、被試験メモリ MUT の試験に必要な実波形を持つアドレス信号 ADDR、試験パターン信号 PTN 及び制御信号 CNTL にそれぞれ変換された後、被試験メモリ MUT に印加される。

【0005】被試験メモリ MUT は波形整形器 30 を通じて供給される制御信号 CNTL によりその書き込み及び読み出し動作が制御され、波形整形器 30 から印加される試験パターン信号 PTN の書き込みと、その書き込んだ試験パターン信号の読み出しが行われる。被試験メモリ MUT に書き込まれた試験パターン信号 PTN はその後読み出され、この読み出された応答信号 RPD は論理比較器 40 に与えられ、ここで応答信号 RPD はパターン発生器 20 から与えられる期待値パターンデータ（信号）EXP と論理比較され、両信号間に不一致が存在するか否かが検出される。

【0006】論理比較器 40 は、両信号が不一致であると、その応答信号 RPD が読み出された被試験メモリ MUT のアドレスのメモリセルが不良であると判定し、そのことを示すフェイル（failure）信号 FAIL を発生する。このフェイル信号 FAIL が発生されると、通常は論理“1”信号（データ）がパターン発生器 20 からアドレスデータ ADDR（実際にはこのアドレスデータを物理的地址に変換したアドレス信号 ADDR）によって指定される不良解析メモリ 50 のメモリセルに記憶される。一般には、この論理“1”信号は被試験メモリ MUT の不良メモリセルのアドレスと同じ不良解析メモリ 50 のアドレスに記憶される。

【0007】これに対し、応答信号 RPD と期待値パターンデータ EXP とが一致すると、論理比較器 40 は、その応答信号が読み出された被試験メモリ MUT のアドレスのメモリセルは正常であると判定し、そのことを示すパス（pass）信号を発生する。このパス信号は不良解析メモリ 50 に格納されない。このようにして一連の試験中に発生した被試験メモリ MUT の不良メモリセルの情報（論理“1”）を不良解析メモリ 50 に記憶する。試験終了後、この不良解析メモリ 50 に格納されたフェ

イルデータを不良救済解析器 6 に読み出して被試験メモリ MUT の不良解析を行う。

【0008】不良解析メモリ 50 は、被試験メモリ MUT と同等の動作速度と記憶容量を持ち、被試験メモリ MUT に印加されるアドレス信号 ADDR と同じアドレス信号がこの不良解析メモリ 50 に印加される。また、不良解析メモリ 50 は試験開始前に初期化される。例えば、初期化によって不良解析メモリ 50 の全アドレスに論理“0”のデータが書き込まれ、被試験メモリ MUT の試験によって論理比較器 40 から不一致を表すフェイル信号 FAIL が発生される毎に、その不一致が発生した被試験メモリ MUT のメモリセルのアドレスと同じ不良解析メモリ 50 のアドレスに、メモリセルの不良を表わす論理“1”のフェイルデータが書き込まれる。

【0009】不良救済解析器 6 は不良解析メモリ 50 に記憶された不良メモリセルの総数と、行（横列：ロウ）アドレスライン及び列（縦列：カラム）アドレスラインの各アドレスライン上の不良メモリセルの数を別々に、かつ同時に計数し、各被試験メモリ MUT に設けられた救済ライン、即ち予備のメモリセル（スペアライン又は冗長回路）によって救済が可能か否かを解析する。このような救済ラインを設けたメモリは、上述したように、この技術分野ではリダンダンシ構成のメモリと呼ばれている。

【0010】ここで、リダンダンシ構成メモリについて簡単に説明する。図 3 はその一例の構成を概略的に示すもので、被試験メモリ MUT は、メモリセルが行及び列に配列されたメモリセルアレイ（主記憶部分）MCA に加えて、このメモリセルアレイ MCA の周辺に形成された行アドレス（row address）救済ライン SR と列アドレス（column address）救済ライン SC とを具備している。これらメモリセルアレイ MCA、行アドレス救済ライン SR 及び列アドレス救済ライン SC は同一の半導体チップ内に形成される。この例では行及び列アドレス救済ライン SR 及び SC をメモリセルアレイ MCA の行及び列アドレス方向の一方の側辺に沿って 2 本ずつ形成した場合を示すが、救済ラインの数や配列位置は図示の例に限定されないことは言うまでもない。

【0011】被試験メモリ MUT の試験の結果、メモリセルアレイ MCA 内の例えば i 番目の行アドレスライン Ri（i は整数）に 3 個の不良メモリセル X1、X2、X3 が検出され、また、i 番目の列アドレスライン Ci（i は整数）に 3 個の不良メモリセル Y1、Y2、Y3 が検出されたとすると、行アドレスライン Ri の電気接続を 2 本の行アドレス救済ライン SR の何れか一方に変更すれば、この不良のメモリセルが存在する行アドレスライン Ri を救済することができる。同じく、列アドレスライン Ci も 2 本の列アドレス救済ライン SC の何れか一方に電気接続を変更すれば、この不良のセルが存在する列アドレスライン Ci を救済することができる。

このように、リダンダンシ構成メモリはメモリセルアレイMCA内の不良メモリセルを行及び列アドレス救済ラインによって救済するように構成されているから、行アドレスライン毎及び列アドレスライン毎の不良メモリセル数を計数し、救済ラインの本数と比べることにより、メモリセルアレイMCAを救済できるか否かを判定することができる。

【0012】このため、従来の不良救済解析器6は、図4に示すように、メモリセルアレイMCA内の行アドレスライン毎及び列アドレスライン毎の不良メモリセルの数を行アドレス・フェイルカウンタ(RFC: row address failure counter)3及び列アドレス・フェイルカウンタ(CFC: column address failure counter)4で計数し、さらに、不良メモリセルの総数を総数フェイルカウンタ(TFC: total failure counter)81で計数し、これらの計数値から救済が可能か否かを判定している。

【0013】なお、行アドレス・フェイルカウンタ3及び列アドレス・フェイルカウンタ4は、実際には、不良解析メモリ50から読み出される行アドレスライン毎及び列アドレスライン毎の不良メモリセルを表すフェイルデータの数をそれぞれ計数し、その計数値をそれらのフェイル格納メモリにそれぞれ格納し、総数フェイルカウンタ81は、不良解析メモリ50からフェイルデータが読み出される毎に、その発生回数を積算し、その積算値を総数フェイルカウンタ81のフェイル総数格納メモリに記憶するように構成されている。

【0014】

【発明が解決しようとする課題】被試験メモリMUTを救済できるか否かの不良救済解析器6における実際の解析は、図5に示すように、メモリセルアレイMCAを数10～数1000の救済ブロックBに分割し、これら分割した各救済ブロックB毎に行われるので、総数フェイルカウンタ81、行アドレス・フェイルカウンタ3及び列アドレス・フェイルカウンタ4における不良メモリセル数(フェイルデータ数)の計数は分割された救済ブロック毎に行なわれる。この場合、フェイルデータ数の計数は、各カウンタのフェイル格納メモリの記憶内容を読み出し、その読み出した値に対して不良解析メモリ50の読み出しデータが“1”ならば(フェイルデータが読み出されると)+1し、フェイルデータが読み出されないときにはそのままの値を再びそれぞれのフェイル格納メモリに書き込むことにより、行われる。よって、これらフェイルデータの計数値を格納するフェイル格納メモリは各救済ブロックB毎のフェイルデータ数の計数を行う前に必ず初期化しなければならない。

【0015】図5において、○が付けられた救済ブロックは不良メモリセルが1個も存在しなかった救済ブロックを示し、×が付けられた救済ブロックは不良メモリセルが1個以上存在する救済ブロックを示す。また、被試

験メモリの不良救済解析は各救済ブロック毎に行われるから、各救済ブロックを指定するブロックアドレスが必要となる。図5において、救済ブロックBに付された符号#0、#1、#2、・・・、#1Fはブロックアドレスを示す。各救済ブロック毎に計数された不良メモリセル数は、各ブロックアドレスと同じアドレスを有するブロックフェイルメモリBFMのメモリセルに記憶される。

【0016】近年、被試験メモリの大容量化が進み、救済ブロックの個数及び大きさが増大する傾向にあり、これに伴って不良メモリセルの計数値を格納するフェイル格納メモリの容量も増大している。このため、これらフェイル格納メモリの初期化に時間が掛かり、被試験メモリの不良救済解析に要する時間が長くなってしまおうという難点があった。よって、これらフェイル格納メモリのデータの初期化に必要な時間を短縮し、不良救済解析を高速化することが要請されている。

【0017】この発明の1つの目的は、リダンダンシ構成のメモリの不良救済解析を高速に実行することができる不良救済解析器を備えたメモリ試験装置を提供することである。この発明の他の目的は、被試験メモリの不良メモリセルを表すフェイルデータの計数に先だってこのフェイルデータの計数値を格納するメモリの初期化を必要としない不良救済解析器を備えたメモリ試験装置を提供することである。

【0018】

【課題を解決するための手段】上記目的を達成するために、請求項1に記載の発明においては、被試験メモリの不良メモリセルを表すフェイルデータを格納する不良解析メモリと、この不良解析メモリに格納されたフェイルデータに基づいて試験済みメモリの不良救済解析を行う不良救済解析器とを具備するメモリ試験装置において、上記不良救済解析器が、上記不良解析メモリから読み出されたフェイルデータ数を格納するフェイル格納メモリと、このフェイル格納メモリの各アドレスから1回目に読み出された読み出しデータの値を0として出力する出力変更回路とを具備する半導体メモリ試験装置が提供される。

【0019】上記出力変更回路は、上記フェイル格納メモリの各アドレスから1回目にデータが読み出されるときに初期化信号を発生する初期化コントローラと、この初期化コントローラから初期化信号が到来しない場合には上記フェイル格納メモリの出力をそのまま出力すると共に、初期化信号が到来した場合には0を出力するデータコントローラとによって構成されている。

【0020】好ましい一実施例においては、上記不良解析メモリから読み出されたフェイルデータの数を格納するフェイル格納メモリは、上記不良解析メモリの行アドレスライン毎のフェイルデータ数を計数する行アドレス・フェイルカウンタに設けられた行フェイル格納メモリ

と、列アドレスライン毎のフェイルデータ数を計数する列アドレス・フェイルカウンタに設けられた列フェイル格納メモリと、フェイルデータの総数を計数する総数フェイルカウンタに設けられたフェイル総数格納メモリである。

【0021】また、上記出力変更回路は、上記行フェイル格納メモリをアクセスする行カウンタアドレス信号が0であるときには上記列アドレス・フェイルカウンタに初期化信号を印加し、上記列フェイル格納メモリをアクセスする列カウンタアドレス信号が0であるときには上記行アドレス・フェイルカウンタに初期化信号を印加し、上記行カウンタアドレス信号及び上記列カウンタアドレス信号が共に0であるときには上記総数フェイルカウンタに初期化信号を印加する初期化コントローラと、上記各フェイルカウンタにそれぞれ設けられ、上記初期化コントローラから初期化信号が印加されない場合には上記フェイル格納メモリから読み出された出力をそのまま出力すると共に、初期化信号が印加された場合には0を出力するデータコントローラとによって構成されている。

【0022】上記不良救済解析器は、入力される行アドレスデータ及び列アドレスデータに基づいて上記総数フェイルカウンタのフェイル総数格納メモリをアクセスする総数カウンタアドレス信号をフォーマットして出力するTFCアドレスフォーマットと、入力される行アドレスデータ及び上記総数カウンタアドレス信号に基づいて上記行アドレス・フェイルカウンタの行フェイル格納メモリをアクセスする行カウンタアドレス信号をフォーマットして出力するRFCアドレスフォーマットと、入力される列アドレスデータ及び上記総数カウンタアドレス信号に基づいて上記列アドレス・フェイルカウンタの列フェイル格納メモリをアクセスする列カウンタアドレス信号をフォーマットして出力するCFCアドレスフォーマットとをさらに含み、上記初期化コントローラは、上記RFCアドレスフォーマットから供給される行カウンタアドレス信号及び上記CFCアドレスフォーマットから供給される列カウンタアドレス信号に基づいて上記初期化信号を生成し、上記行アドレス・フェイルカウンタ、上記列アドレス・フェイルカウンタ及び上記総数フェイルカウンタはそれぞれ、上記データコントローラの出力に上記不良解析メモリの出力を加算し、その加算結果を上記行フェイル格納メモリ、上記列フェイル格納メモリ及び上記フェイル総数格納メモリに供給する加算器をそれぞれ含んでいる。

【0023】

【発明の実施の形態】以下、この発明の好ましい実施の形態について、その要部である不良解析メモリ及び不良救済解析器の構成を示す図1を参照して詳細に説明する。不良解析メモリ50は、図2に示したパターン発生器20から供給されるアドレスデータ（論理アドレス）

ADDRDを物理アドレス信号ADRに変換するためのAFMアドレスフォーマット52と、被試験メモリMUTの不良メモリセルを表すフェイルデータを記憶するアドレスフェイルメモリ（AFM）5と、このアドレスフェイルメモリ5の全アドレスを指定することができるアドレス信号を出力するAFMアドレスポインタ53と、このAFMアドレスポインタ53から出力されるアドレス信号とAFMアドレスフォーマット52から出力されるアドレス信号ADRとを切り替えてアドレスフェイルメモリ5に与えるマルチプレクサ54と、アドレスフェイルメモリ5に対するフェイルデータの書き込み動作を制御するANDゲート55とによって構成されている。

【0024】AFMアドレスフォーマット52は、パターン発生器20から供給される行アドレスデータXi（iは整数）及び列アドレスデータYi（iは整数）からアドレスフェイルメモリ5をアクセスするアドレス信号ADR（図2の波形整形器30から出力されるアドレス信号ADRと同じアドレス信号）をフォーマットし、マルチプレクサ54に供給する。マルチプレクサ54は、被試験メモリMUTのテスト時には、AFMアドレスフォーマット52から供給されるアドレス信号ADRをアドレスフェイルメモリ5のアドレス入力端子Anに印加し、試験済みメモリの不良救済解析時には、AFMアドレスポインタ53から供給されるアドレス信号をアドレスフェイルメモリ5のアドレス入力端子Anに印加する。

【0025】ANDゲート55の一方の入力端子には、図2の論理比較器40からフェイル信号FAILが印加され、その他方の入力端子には書き込みタイミング信号WRITE1が印加される。フェイル信号FAILが印加され、書き込みタイミング信号WRITE1が印加されると、ANDゲート55は、この書き込みタイミング信号のタイミングで、アドレスフェイルメモリ5のライトイネーブル端子WEにライトイネーブル信号を出力し、データ入力端子Diに常時印加されているフェイルデータ“1”の書き込みを可能にする。その結果、アドレスフォーマット52からのアドレス信号ADRによって指定されたアドレスフェイルメモリ5のアドレスに、フェイルデータ“1”が書き込まれる。よって、被試験メモリMUTの不良メモリセルのアドレスと同じアドレスフェイルメモリ5のアドレスに、不良メモリセルの発生を表すフェイルデータ“1”が記憶されることになる。

【0026】このように、アドレスフェイルメモリ5は、論理比較器40からフェイル信号FAILが出力される毎に、そのとき被試験メモリMUTに与えられているアドレス信号ADRと同じアドレス信号によってアクセスされるので、被試験メモリMUTの不良メモリセルのアドレスと同じアドレスフェイルメモリ5のアドレスに論理“1”のフェイルデータが書き込まれる。よっ

て、試験が終了した時点では被試験メモリMUTの不良メモリセルの全てのアドレスがアドレスフェイルメモリ5に、論理“1”のフェイルデータとして書き込まれることになる。

【0027】不良救済解析器6は、この不良救済解析器6において使用される行アドレスを発生する行アドレス発生器32と、同じくこの不良救済解析器6において使用される列アドレスを発生する列アドレス発生器42と、行アドレス発生器32が全ての行のアドレスデータを発生したときにこれを検出して桁上げ信号を出力するキャリーセクタ(桁上げ検出器)9と、被試験メモリの行アドレスライン毎の不良メモリセル数を計数する行アドレス・フェイルカウンタ(RFC)3と、列アドレス毎の不良メモリセル数を計数する列アドレス・フェイルカウンタ(CFC)4と、不良メモリセルの総数を計数する総数フェイルカウンタ(TFC)81と、行アドレス・フェイルカウンタ3をアクセスする行カウンタアドレス信号B-RADRを生成するRFCアドレスフォーマッタ33と、列アドレス・フェイルカウンタ4をアクセスする列カウンタアドレス信号B-CADRを生成するCFCアドレスフォーマッタ43と、総数フェイルカウンタ81をアクセスする総数カウンタアドレス信号B-TADRを生成するTFCアドレスフォーマッタ82とを含む。

【0028】行アドレス・フェイルカウンタ3はアドレスフェイルメモリ5に格納された各行毎のフェイルデータの数を格納する行フェイル格納メモリ35と、後述するデータコントローラ34と、加算器31とから構成されており、列アドレス・フェイルカウンタ4はアドレスフェイルメモリ5に格納された各列毎のフェイルデータの数を格納する列フェイル格納メモリ45と、後述するデータコントローラ44と、加算器41とから構成されており、総数フェイルカウンタ81はフェイルデータの総数を格納するフェイル総数格納メモリ83と、後述するデータコントローラ84と、加算器85とから構成されている。

【0029】なお、行アドレス発生器32、列アドレス発生器42及びAFMアドレスポインタ53は基準クロックCLKによって同期して動作する。キャリーセクタ9は行アドレス発生器32が出力する行アドレスデータRADRDを構成する所定数のビットが全て“1”に達する毎に(最終行の行アドレスデータが出力される毎に)桁上げ信号を出力し、この桁上げ信号を列アドレス発生器42の桁上げ信号入力端子Ciに与える。列アドレス発生器42は、桁上げ信号を受信する毎に、列アドレスを+1ずつ増加(インクリメント)させ、それに対応した列アドレスデータCADRDを出力する。

【0030】TFCアドレスフォーマッタ82は、行アドレス発生器32が出力する行アドレスデータRADRD及び列アドレス発生器42が出力する列アドレスデー

タCADRDに基づいて、総数フェイルカウンタ81のフェイル総数格納メモリ83をアクセスする総数カウンタアドレス信号B-TADRをフォーマットして出力する。この総数カウンタアドレス信号B-TADRは、被試験メモリMUTのメモリセルアレイMCAの細分化された数10~数1000の救済ブロックのうちの特定の1つの救済ブロックを指示するアドレス信号である。総数カウンタアドレス信号B-TADRはフェイル総数格納メモリ83のアドレス入力端子Anに供給され、特定の1つの救済ブロックを指定すると共に、RFCアドレスフォーマッタ33及びCFCアドレスフォーマッタ43にも与えられる。

【0031】RFCアドレスフォーマッタ33は、行アドレス発生器32から出力される行アドレスデータRADRDとTFCアドレスフォーマッタ82から出力される総数カウンタアドレス信号B-TADRとに基づいて、行カウンタアドレス信号B-RADRをフォーマットして出力し、行アドレス・フェイルカウンタ3の行フェイル格納メモリ35のアドレス入力端子Anに印加する。この行カウンタアドレス信号B-RADRはどの救済ブロックのどの行かを指示するアドレス信号であり、救済ブロックアドレス信号(総数カウンタアドレス信号B-TADR)と特定された救済ブロックの行アドレス信号(行カウンタアドレス信号B-RADR)とよりなる。

【0032】CFCアドレスフォーマッタ43は、列アドレス発生器42から出力される列アドレスデータCADRDとTFCアドレスフォーマッタ82から出力される総数カウンタアドレス信号B-TADRとに基づいて、列カウンタアドレス信号B-CADRをフォーマットして出力し、列アドレス・フェイルカウンタ4の列フェイル格納メモリ45のアドレス入力端子Anに印加する。この列カウンタアドレス信号B-CADRはどの救済ブロックのどの列かを指示するアドレス信号であり、救済ブロックアドレス信号(総数カウンタアドレス信号B-TADR)と特定された救済ブロックの列アドレス信号(列カウンタアドレス信号B-CADR)とよりなる。

【0033】この発明においては、行フェイル格納メモリ、列フェイル格納メモリ及びフェイル総数格納メモリからそれぞれ読み出されるデータの値を、初回読み出し時のみ0として出力する出力変更回路を不良救済解析器6に設けた点を特徴とするものである。例示の実施例では、この出力変更回路は、RFCアドレスフォーマッタ33から出力される行カウンタアドレス信号B-RADRとCFCアドレスフォーマッタ43から出力される列カウンタアドレス信号B-CADRとが入力され、これらアドレス信号に基づいて初期化信号を出力する初期化コントローラ7と、この初期化コントローラ7から出力される初期化信号がそれぞれ印加される行アドレス・フ

ェイルカウンタ 3 のデータコントローラ 34 と、列アドレス・フェイルカウンタ 4 のデータコントローラ 44 と、総数フェイルカウンタ 81 のデータコントローラ 84 とによって構成されている。

【0034】この初期化コントローラ 7 は、この実施例では、行アドレス・フェイルカウンタ 3 のデータコントローラ 34 に対しては、CFC アドレスフォーマット 43 から出力される列カウンタアドレス信号 B-CADR 中の、救済ブロックを特定する総数カウンタアドレス信号 B-TADR を除く部分が 0 のときに、つまり、特定される救済ブロックに対する列カウンタアドレス信号を構成する所定数のビットが全て 0 であるときに（第 1 番目の列カウンタアドレス信号に相当する）、初期化信号を出力し、また、列アドレス・フェイルカウンタ 4 のデータコントローラ 44 に対しては、RFC アドレスフォーマット 33 から出力される行カウンタアドレス信号 B-RADR 中の、救済ブロックを特定する総数カウンタアドレス信号 B-TADR を除く部分が 0 のときに、つまり、特定される救済ブロックに対する行カウンタアドレス信号を構成する所定数のビットが全て 0 であるときに（第 1 番目の行カウンタアドレス信号に相当する）、初期化信号を出力し、さらに、総数フェイルカウンタ 81 のデータコントローラ 84 に対しては、データコントローラ 34 及びデータコントローラ 44 に対する初期化条件が共に成立したときに、即ち、列カウンタアドレス信号 B-CADR 中の総数カウンタアドレス信号 B-TADR を除く部分が 0 で、かつ行カウンタアドレス信号 B-RADR 中の総数カウンタアドレス信号 B-TADR を除く部分が 0 であるときに、初期化信号を出力するように構成されている。

【0035】一方、行アドレス・フェイルカウンタ 3 のデータコントローラ 34 は、初期化コントローラ 7 から初期化信号が到来しない場合には行フェイル格納メモリ 35 の出力をそのまま加算器 31 に出力するが、初期化信号が到来した場合には 0 を加算器 31 に出力するように構成されている。また、列アドレス・フェイルカウンタ 4 のデータコントローラ 44 は、初期化コントローラ 7 から初期化信号が到来しない場合には列フェイル格納メモリ 45 の出力をそのまま加算器 41 に出力するが、初期化信号が到来した場合には 0 を加算器 41 に出力するように構成されている。さらに、総数フェイルカウンタ 81 のデータコントローラ 84 は、初期化コントローラ 7 から初期化信号が到来しない場合にはフェイル総数格納メモリ 83 の出力をそのまま加算器 85 に出力するが、初期化信号が到来した場合には 0 を加算器 85 に出力するように構成されている。

【0036】行アドレス・フェイルカウンタ 3 の加算器 31 は、不良解析メモリ 50 のアドレスフェイルメモリ 5 からフェイルデータ（“1”）が読み出されると、データコントローラ 34 の出力値に +1 を加算し、この加

算値を行フェイル格納メモリ 35 のデータ入力端子 Di に与える。アドレスフェイルメモリ 5 からフェイルデータが読み出されないときには、データコントローラ 34 の出力値をそのまま行フェイル格納メモリ 35 のデータ入力端子 Di に与える。同様に、列アドレス・フェイルカウンタ 4 の加算器 41 は、不良解析メモリ 50 のアドレスフェイルメモリ 5 からフェイルデータが読み出されると、データコントローラ 44 の出力値に +1 を加算し、この加算値を列フェイル格納メモリ 45 のデータ入力端子 Di に与え、アドレスフェイルメモリ 5 からフェイルデータが読み出されないときには、データコントローラ 44 の出力値をそのまま列フェイル格納メモリ 45 のデータ入力端子 Di に与える。総数フェイルカウンタ 81 の加算器 85 は、不良解析メモリ 50 のアドレスフェイルメモリ 5 からフェイルデータが読み出されると、データコントローラ 84 の出力値に +1 を加算し、この加算値をフェイル総数格納メモリ 83 のデータ入力端子 Di に与え、アドレスフェイルメモリ 5 からフェイルデータが読み出されないときには、データコントローラ 84 の出力値をそのままフェイル総数格納メモリ 83 のデータ入力端子 Di に与える。

【0037】これらメモリ 35、45、83 のデータ入力端子 Di にそれぞれ与えられた加算器 31、41、85 の出力信号は、書き込みタイミング信号 WRITE2 が各メモリ 35、45、83 のライトイネーブル端子 WE に印加されたときに、アドレス信号入力端子 An に印加されたアドレス信号によって指定された救済ブロックの指定されたアドレスに格納される。

【0038】次に、上記構成の不良解析メモリ 50 及び不良救済解析器 6 を備えたメモリ試験装置における不良救済解析動作について説明する。まず、既に説明した被試験メモリ MUT の試験により、不良解析メモリ 50 のアドレスフェイルメモリ 5 には被試験メモリ MUT の全ての不良メモリセルを表すフェイルデータ “1” が被試験メモリ 5 の不良メモリセルと同じアドレスのメモリセルに格納されている。このアドレスフェイルメモリ 5 からフェイルデータを読み出す前に、行アドレス発生器 32 及び列アドレス発生器 42 を初期化する。

【0039】不良救済解析動作が開始されると、初期化された行アドレス発生器 32 及び列アドレス発生器 42 は、全てのビットが 0 である第 1 番目の行アドレスデータ及び全てのビットが 0 である第 1 番目の列アドレスデータを発生する。初期化コントローラ 7 は、RFC アドレスフォーマット 33 及び CFC アドレスフォーマット 43 から、全てのビットが 0 である行アドレス信号を含む行カウンタアドレス信号 B-RADR 及び全てのビットが 0 である列アドレス信号を含む列カウンタアドレス信号 B-CADR が入力されるから、初期化信号を各カウンタのデータコントローラ 34、44 及び 84 に供給する。よって、これらデータコントローラ 34、44 及

び84は0を出力し、各加算器31、41、85はこの0を各メモリ35、45、83のデータ入力端子Diに与える。データ入力端子Diに与えられた0は書き込みイネーブル信号が印加されたときに、アドレス信号によって指定されたアドレスに格納される。従って、そのアドレスは初期化されたことになる。

【0040】同時に、これら行アドレス発生器32及び列アドレス発生器42と同期して動作する不良解析メモリ50のAFMアドレスポインタ53から第1番目のアドレス信号が発生されるから、マルチプレクサ54を通じてこのアドレス信号によりアドレスフェイルメモリ5がアクセスされ、フェイルデータの読み出しが開始される。アドレスフェイルメモリ5から読み出された出力信号は各カウンタ3、4及び81の加算器31、41及び85の一方の入力端子に供給される。

【0041】行アドレス発生器32及びAFMアドレスポインタ53は、その後、アドレスを1つずつインクリメントさせて対応するアドレスデータ及びアドレス信号をそれぞれ順次に出力する。アドレスフェイルメモリ5からフェイルデータ“1”が読み出されると、各加算器31、41、85は、データコントローラ34、44、84から出力されるデータ（初期化により0）に+1を加算して各メモリ35、45、83のデータ入力端子Diに与える。よって、行フェイル数、列フェイル数及びフェイル総数を計数して関連するメモリ35、45、83に格納することができる。

【0042】具体的に説明すると、行カウンタアドレス信号及び列カウンタアドレス信号がメモリ35及び45のアドレス入力端子Anにそれぞれ入力され、これらメモリ35及び45の特定の救済ブロックの行アドレス及び列アドレスがそれぞれ指定される毎に、これらメモリから、その指定された行アドレス及び列アドレスに記憶されているフェイルデータの計数数がそれぞれ読み出されて、対応するデータコントローラ34及び44に与えられる。初期化コントローラ7から初期化信号が印加されない限り、データコントローラ34及び44は読み出された計数値をそのまま対応する加算器31及び41に与えるから、これら加算器31及び41は、アドレスフェイルメモリ5からフェイルデータ“1”が読み出される毎に、メモリ35及び45から読み出された値に+1を加算し、これら加算値をメモリ35及び45のデータ入力端子Diにそれぞれ供給する。

【0043】総数フェイルカウンタ81は総数カウンタアドレス信号によって指定されたメモリ83の救済ブロックに、アドレスフェイルメモリ5からフェイルデータが読み出される毎に、+1ずつ増加する加算値（フェイルデータの計数値）を格納することになる。行アドレス発生器32のアドレスが+1ずつ順次に増加し、行アドレスデータRADRを構成する所定数のビットが全て“1”になると、つまり、最終行のアドレスデータが出

力されると、キャリアセクタ9から桁上げ信号が出力されて列アドレス発生器42の桁上げ端子Ciに印加される。これによって列アドレス発生器42は列アドレスを+1増加させる。換言すると、列アドレス発生器42はキャリアセクタ9から桁上げ信号が出力されない限り、同じ列アドレスデータを出力し続ける。これに対し、行アドレス発生器32は最終行のアドレスデータを出力すると、再び最初の行のアドレスに戻って順次にインクリメントしたアドレスデータを出力する。従って、解析動作の開始時には、列アドレス発生器42は、行アドレス発生器32から発生される行アドレスデータRADRが全てのビットが0である第1番目の行アドレスから全てのビットが1である最終行の行アドレスまでインクリメントされる間、全てのビットが0である第1番目の列アドレスデータを発生し続けるから、行アドレス・フェイルカウンタ3の行フェイル格納メモリ35は特定の救済ブロックの全ての行が初期化されることになる。一方、列アドレス・フェイルカウンタ4の列フェイル格納メモリ45は、行アドレス発生器32から発生される行アドレスが第1番目の行アドレス（全てのビットが0である）に戻る度に初期化コントローラ7から列アドレス・フェイルカウンタ4のデータコントローラ44に初期化信号が印加されるから、各列が順次に初期化されることになる。

【0044】上記不良メモリセルの計数動作はフェイルメモリ5の全てのアドレスをアクセスするまで実行される。かくして、行フェイル数、列フェイル数及びフェイル総数を関連するメモリ35、45及び83に格納することができる。不良メモリセルの計数動作中、行アドレス・フェイルカウンタ3のデータコントローラ34は、既に説明したように、初期化コントローラ7から初期化信号が印加されると、加算器31に対して0を供給し、初期化コントローラ7が初期化信号を出力しないときには加算器31に対して行フェイル格納メモリ35から読み出されたデータをそのまま供給する。よって、加算器31は、データコントローラ34が0を出力した場合、アドレスフェイルメモリ5からフェイルデータが読み出されると、この0に+1を加算した値1を行フェイル格納メモリ35に書き込み、フェイルデータが読み出されなければ、入力された0をそのまま行フェイル格納メモリ35に書き込む。このように、初期化コントローラ7が初期化信号を発生した場合には、行フェイル格納メモリ35から読み出されるデータの値に関係なく、加算器31に0が供給されるので、行フェイル格納メモリ35は、次の救済ブロックに対する解析動作が開始されると、初期化されることになる。

【0045】列フェイル格納メモリ45及びフェイル総数格納メモリ83の場合も同様であり、これらメモリ45及び83は、次の救済ブロックに対する解析動作が開始されると、初期化コントローラ7から初期化信号が発

生されるので、初期化されることになる。なお、上記実施例では初期化コントローラ 7 と、データコントローラ 34、44、84 とによって出力変更回路を構成し、行フェイル格納メモリ 35、列フェイル格納メモリ 45、フェイル総数格納メモリ 83 からの読み出しデータの値を、初期化コントローラ 7 が初期化信号を発生した場合には 0 とみなすように構成したが、出力変更回路の構成は実施例の構成に限定されるものではない。例えば、第 1 番目の行アドレスデータ及び第 1 番目の列アドレスデータのビットが全て 0 でない場合には、第 1 番目の行アドレスデータ及び第 1 番目の列アドレスデータが発生されたときに初期化コントローラ 7 が初期化信号を発生するように構成することは言うまでもない。要するに、出力変更回路は、各救済ブロック毎に、行フェイル格納メモリ 35、列フェイル格納メモリ 45、フェイル総数格納メモリ 83 の各アドレスから 1 回目を読み出された読み出しデータの値を 0 として出力するように構成されていればよい。

【0046】以上、この発明を図示した好ましい実施例について記載したが、この発明の精神及び範囲から逸脱することなしに、上述した実施例に関して種々の変形、変更及び改良がなし得ることはこの分野の技術者には明らかであろう。従って、この発明は、例示の実施例に限定されるものではなく、特許請求の範囲によって定められるこの発明の範囲内に入る全てのそのような変形、変更及び改良をも包含するものである。

【0047】

【発明の効果】以上の説明で明白なように、この発明によれば、被試験メモリの不良メモリセルの計数値を格納する行フェイル格納メモリ、列フェイル格納メモリ及びフェイル総数格納メモリを、各救済ブロック毎に不良メモリセル数の計数を行う前に初期化する必要がないので、これらフェイル格納メモリを初期化する時間が不要となる。よって、被試験メモリの不良救済解析に要する時間を短縮することができ、不良救済解析を高速化することができるという顕著な利点が得られる。

【図面の簡単な説明】

【図 1】この発明によるメモリ試験装置の一実施例に使

用された不良解析メモリ及び不良救済解析器の構成を示すブロック図である。

【図 2】従来のメモリ試験装置の一例を示すブロック図である。

【図 3】リダンダンシイ構成のメモリを説明するための図である。

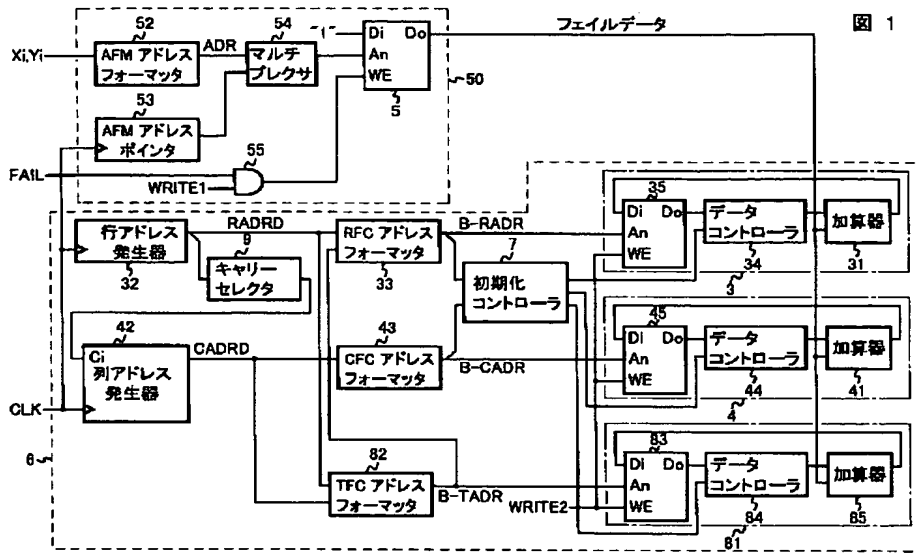
【図 4】図 2 に示した不良救済解析器における不良メモリセルの計数動作を説明するための図である。

【図 5】図 2 に示した不良救済解析器における実際の解析方法を説明するための図である。

【符号の説明】

- 3：行アドレス・フェイルカウンタ
- 4：列アドレス・フェイルカウンタ
- 5：アドレスフェイルメモリ
- 6：不良救済解析器
- 7：初期化コントローラ
- 9：キャリアセクタ
- 31：加算器
- 32：行アドレス発生器
- 33：RFCアドレスフォーマッタ
- 34：データコントローラ
- 35：行フェイル格納メモリ
- 41：加算器
- 42：列アドレス発生器
- 43：CFCアドレスフォーマッタ
- 44：データコントローラ
- 45：列フェイル格納メモリ
- 50：不良解析メモリ
- 52：AFMアドレスフォーマッタ
- 53：AFMアドレスポインタ
- 54：マルチプレクサ
- 55：ANDゲート
- 81：総数フェイルカウンタ
- 82：TFCアドレスフォーマッタ
- 83：フェイル総数格納メモリ
- 84：データコントローラ
- 85：加算器

【図 1】



【図 2】

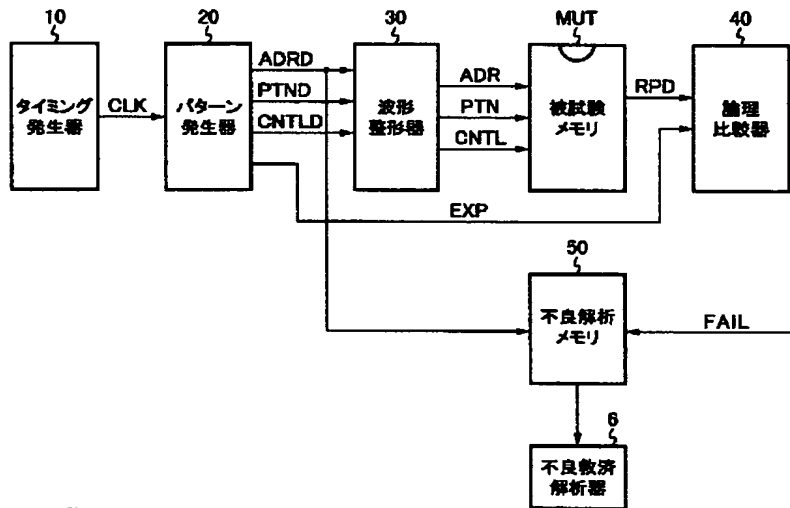


図 2

【図 3】

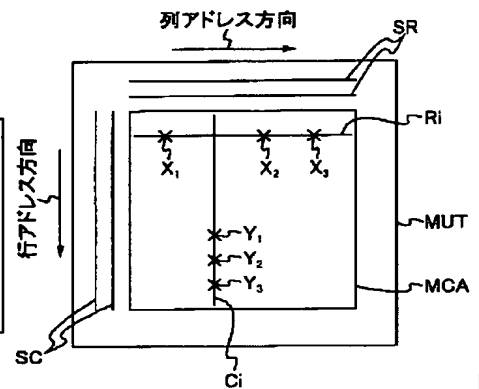


図 3

【図 4】

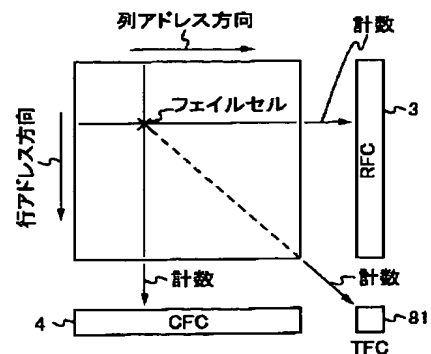


図 4

【図5】

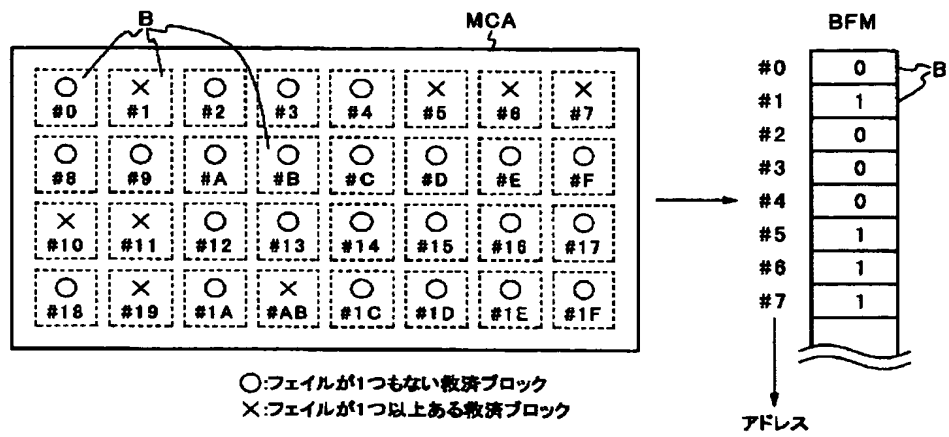


図 5